



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09069773 A**(43) Date of publication of application: **11.03.97**

(51) Int. Cl. **H03L 7/181**
H03L 1/02
H04L 7/033

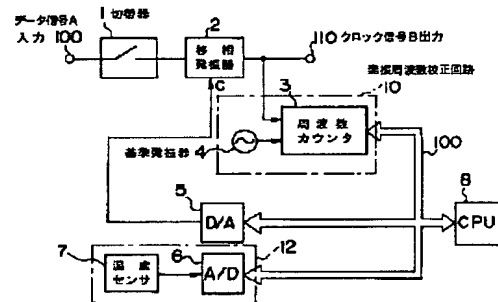
(21) Application number: **07245388**(71) Applicant: **ANDO ELECTRIC CO LTD**(22) Date of filing: **30.08.95**(72) Inventor: **YANAGISAWA KOJU**(54) **CLOCK EXTRACTION CIRCUIT**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence of residual jitter by controlling a phase shift oscillator in accordance with the temperature variance to suppress the frequency change caused by the temperature variance.

SOLUTION: This circuit consists of a phase shift oscillator 2 which controls phase shift of a clock in accordance with an inputted control signal to output the clock synchronized with a data signal, a frequency counter 3 which takes a reference frequency from a reference oscillator 4 as the input to measure the frequency of the phase shift oscillator 2, a temperature sensor 7 which measures the temperature of the phase shift oscillator 2, and a control circuit 8 which outputs the control signal corresponding to the temperature variance to the phase shift oscillator 2 at the time of detecting the temperature variance of the phase shift oscillator 2 by the temperature sensor and synchronizes the clock of the phase shift oscillator 2 with the clock of the data signal.



(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L	7/181		H 0 3 L 7/06	C
	1/02		1/02	
H 0 4 L	7/033		H 0 4 L 7/02	B

審査請求 未請求 請求項の数2 F D (全 5 頁)

(21) 出願番号 特願平7-245388

(22) 出願日 平成7年(1995)8月30日

(71) 出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(72) 発明者 柳沢 幸樹

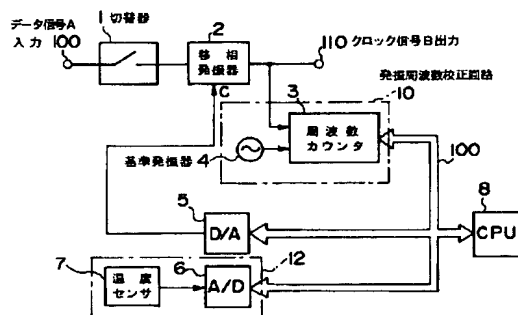
東京都大田区蒲田4丁目19番7号 安藤電気株式会社内

(54) 【発明の名称】 クロック抽出回路

(57) 【要約】

【課題】 温度変動に応じて移相発振器の制御を行うことにより、温度変動による周波数変化を抑えることを可能とすることで残留ジッタの発生を抑えることができるクロック抽出回路を提供する。

【解決手段】 入力した制御信号に応じてクロックの移相を制御することによりデータ信号に同期したクロックを出力する移相発振器32と、基準発振器4より基準周波数を入力することにより移相発振器32の周波数を測定する周波数カウンタ3と、移相発振器32の温度を測定する温度センサ7と、温度センサ7により移相発振器32の温度変動を検出すると、この温度変動に応じた制御信号を移相発振器32に出力することにより、移相発振器32のクロックをデータ信号のクロックに同期させる制御回路8とにより構成される。



【特許請求の範囲】

【請求項1】 入力したデータ信号よりクロック成分を抽出するクロック抽出回路において、
入力した制御信号に応じてクロックの移相を制御することにより前記データ信号に同期したクロックを出力する移相発振器(2)と、

基準発振器(4)より基準周波数を入力することにより移相発振器(2)の周波数を測定する周波数カウンタ(3)と、

移相発振器(2)の温度を測定する温度センサ(7)と、
温度センサ(7)により移相発振器(2)の温度変動を検出すると、この温度変動に応じた制御信号を移相発振器(2)に出力することにより、移相発振器(2)のクロックをデータ信号のクロックに同期させる制御回路(8)を備えることを特徴とするクロック抽出回路。

【請求項2】 請求項1に記載のクロック抽出回路において、制御回路(8)は、少なくとも異なる2点の温度における移相発振器(2)の発振周波数を測定してこの発振周波数が所望の周波数になる前記制御信号をそれぞれ求め、この求めた制御信号のデータを基に温度センサ(7)で検出した温度における制御信号を予測し、移相発振器(2)に出力することを特徴とするクロック抽出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はPLL(Phase Locked Loop)等のクロック抽出回路、より具体的には温度変化による残留ジッタの発生を防ぐ残留ジッタ抑圧回路を内蔵したクロック抽出回路に関する。

【0002】

【従来の技術】入力したデータ信号のクロックを抽出するクロック抽出回路では、データ信号のクロックを抽出する前にデータ信号の入力側を一旦切り離し、移相発振器の周波数を基準発振器の同調させることにより校正を行う。そして、この校正を行った後、データ信号を接続してクロックの抽出を行うことにより、ジッタが発生して特性が低下するのを防止していた。

【0003】次に、従来技術におけるクロック抽出回路の構成を図3に示す。図3で、クロック抽出回路は、データ信号が入力される入力端子とクロック抽出回路とを切り離す切替器1と、データ信号に同期したクロックを出力する移相発振器32と、移相発振器32より出力されたクロックを分周する1/N分周器33と、分周器33の出力および基準発振器4の基準周波数を入力してこれらを比較する移相比較器(PD)35と、移相比較器35で求めた誤差信号を積分するループフィルタLPF)36と、ループフィルタ36より出力された誤差電圧を保持して移相発振器32に出力することにより移相発振器32の出力を制御する電圧保持回路37により構成される。

【0004】次に、図3に示した従来技術におけるクロ

ック抽出回路の動作を説明する。まず移相発振器32を校正するため、切替器1を断にしてデータ信号が入力されない状態にするとともに、電圧保持回路37をオフ状態にする。切替器1を断、電圧保持回路37をオフにすると、図4に示すようなPLL回路となり、基準発振器4の周波数 f_0 に対し、移相発振器32の周波数が $f_0 \times N$ になるように校正される。

【0005】移相発振器32の校正終了後、電圧保持回路(図3)37をオンにしてループフィルタ36の出力を保持し、移相発振器32の発振周波数を固定する。次に、切替器1をデータ信号が入力できるように接続状態にし、入力したデータ信号よりクロックの抽出を行う。図5は、入力端子に入力されたデータ信号(上)と、出力端子より出力されたクロック信号(下)を示したものである。図5に示すように、データ入力の上立ちがりに同期したクロック信号($f_0 \times N$)が出力端子より出力される。

【0006】

【発明が解決しようとする課題】しかし、このような従来技術では、切替器1を接続状態にしてデータ信号を入力した状態で温度変動があった場合、移相発振器32の周波数が変動し、データ信号と移相発振器32の周波数の差だけ残留ジッタが増加するという問題があった。このように残留ジッタが増加すると、たとえば通信分野では雑音が発生したり、データが正確に受信できなくなるという問題が発生する。

【0007】この発明は、温度変動に応じて移相発振器の制御を行うことにより、温度変動による周波数変化を抑えることを可能とすることで残留ジッタの発生を抑えるクロック抽出回路を提供することを目的とする。

【0008】

【課題を解決するための手段】この目的を達成するために、この発明は、入力したデータ信号よりクロック成分を抽出するクロック抽出回路は、入力した制御信号に応じてクロックの移相を制御することによりデータ信号に同期したクロックを出力する移相発振器32と、基準発振器4より基準周波数を入力することにより移相発振器32の周波数を測定する周波数カウンタ3と、移相発振器32の温度を測定する温度センサ7と、温度センサ7により移相発振器32の温度変動を検出すると、この温度変動に応じた制御信号を移相発振器32に出力することにより、移相発振器32のクロックをデータ信号のクロックに同期させる制御回路8とを備える。

【0009】

【発明の実施の形態】次に添付図面を参照して本発明によるクロック抽出回路の実施の形態を詳細に説明する。

【0010】図1はこの発明によるクロック抽出回路の実施の形態を示す構成図であり、同図において図3と同じ構成要素には同一の符号を記してある。本実施の形態において、切替器1はクロックの抽出を行うデータ信号

Aを入力する入力端子100と移相発振器2の入力端子との間に接続されている。切替器1がオンの場合には入力端子100と移相発振器2の入力端子との間が接続され、オフの場合にはこの間が切り離される。

【0011】移相発振器2は、切替器1を介して入力したデータ信号Aに同期したクロックを、出力端子110にクロック信号Bとして出力する。すなわち、移相発振器2は、D/A変換器5に接続され、これにより発振周波数を設定することが可能である。移相発振器2は、切替器1をオンにしたときにはデータ信号Aに同調したクロック信号を出力し、オフにしたときには自走周波数にて発振する。移相発振器2の出力側はまた、発振周波数校正回路10が接続されている。

【0012】発振周波数校正回路10は、移相発振器2の発振周波数を測定するための回路であり、周波数カウンタ3とこれを動作させる基準発振器4により構成されている。周波数カウンタ3は2つの入力端子を備え、一方の入力端子より移相発振器2の出力信号を、他方の入力端子より基準発振器4の基準周波数をそれぞれ入力し、移相発振器2の発振周波数をバス100を介して制御装置であるCPU8に送る。

【0013】CPU8にはまた、移相発振器2の温度を測定する温度測定回路12が接続されている。温度測定回路12は、温度センサ7とA/D変換器6により構成されている。温度センサ7で測定した移相発振器2の温度は、アナログ信号でA/D変換器6に送られ、この変換器6でデジタル信号に変換され、バス100を介してCPU8に出力される。

【0014】CPU8は、バス100を介して入力した移相発振器2の発振周波数とその温度により、移相発振器2の発振周波数を制御する制御回路である。すなわち、CPU8は、切替器1をオフにしてデータ信号Aが入力されない状態で、移相発振器2の発振周波数を測定し、発振周波数が所望する周波数になるようにD/A変換器5を設定する。CPU8はまた、移相発振器2の温度を異なる2点以上の温度に可変し、そのときの温度と発振周波数により、移相発振器2の温度特性を算出する。そして、温度変化があった場合、算出した値を基に*

$$\text{傾き}A = \{ (\text{データ}2) - (\text{データ}1) \} / (T2 - T1) \dots (1)$$

図2は上記式(1)により求めた傾きAをもつ直線グラフである。

2-5: 図2に示したグラフによりT1~T2間の温度におけるD/A変換器5の設定値を予測する。なお、上記の例では温度が0°Cと40°Cの場合について説明しているが、実用温度内で適当な温度差であればよい。また、2点で予測できない場合には、その他の温度での校正を適宜行う。さらに、本実施の形態では変化率が直線であることを前提にしているが、3点以上のサンプリングを行うことにより、非直線の場合でも対応することができる。

* D/A変換器5を介して移相発振器2の制御を行う。このように、本実施の形態ではCPU8で温度における校正データの補間を行う。

【0015】データ信号のクロックの抽出を行う場合、切替器1をオンにすることでデータ信号Aに同調したクロック信号Bを出力する。このとき、たとえば移相発振器2に温度変化が生じた場合でも、移相発振器2の発振周波数が所望の周波数になるようにD/A変換器5がCPU8で再設定されるので、データ信号Aの周波数と移相発振器2の発振周波数が同調され、残留ジッタが抑制される。

【0016】次に、本実施の形態における作業手順を説明する。

【0017】1. 移相発振器2の校正は以下の手順により行なわれる。

1-1: 切替器1をオフにしてデータ信号Aがクロック抽出回路に入力されないようにする。

1-2: この状態で、移相発振器2の発振周波数を周波数カウンタ3にて測定し、その測定結果をCPU8に出力する。そして、CPU8にてこの測定結果を基に、バス100を介してD/A変換器5の出力を制御することで移相発振器2の発振周波数を目標値になるように設定する。

【0018】2. 移相発振器2の温度特性は以下の手順により求める。

2-1: 温度0°Cにて上記1に示した処理を行う。

2-2: 次に、移相発振器2の温度を温度センサ7およびA/D変換器6にて測定する。

2-3: 2-1にて求めたD/A変換器5の設定値を「データ1」、2-2で測定した「温度T1」をそれぞれCPU8に保存する。

2-4: 温度40°Cにて、上記「2-1」から「2-3」の処理を実行し、このときのD/A変換器5の設定値を「データ2」、測定した「温度T2」をそれぞれCPU8に保存する。そして、「データ1」、「データ2」、「温度T1」、「温度T2」より移相発振器2の温度特性を示す傾きAを以下の式(1)により算出する。

$$\text{傾き}A = \{ (\text{データ}2) - (\text{データ}1) \} / (T2 - T1) \dots (1)$$

【0019】3. データ信号Aのクロックの抽出は以下の手順により行う。

3-1: 温度センサ7、A/D変換器6で現在の温度TAを測定する。

3-2: 上記2-5より温度TAでの校正データを算出し、これをD/A変換器5に設定する。

【0020】3-3: 移相発振器2の発振周波数を周波数カウンタ3で測定し、発振周波数が許容範囲内であるかどうかを確認する。もし、許容範囲外の場合には、もう一度校正し、上記2-5の校正データにオフセット値として加算する。この式(2)を以下に示す。

【0021】

$$D/A \text{ 設定値} = (\text{データ1}) + A (T_A - T_1) + (\text{オフセット値}) \cdots (2)$$

3-4: 切替器1をオンにして接続状態にする。これにより、データ信号Aが入力端子100より入力され、移相発振器2にてクロックが抽出されて、出力端子110よりクロック信号Bとして出力される。

【0022】3-5: クロック抽出中に、移相発振器2の温度 T_A が変化した場合、変化相当分の電圧値を上記2-5に示した校正データより算出し、切替器1をオフにすること無くD/A変換器5を再設定する。このよう

に本実施の形態では、温度が最初に設定した値からずれても、切替器1をオフにすることなく、移相発振器2の周波数2を補正することが可能となる。したがって、残留ジッタの少ないクロック信号を抽出することができる。

【0023】次に、本明細書でこれまで述べてきた残留

ジッタについて簡単に説明する。クロックの抽出を行う

データ信号と移相発振器2の周波数に Δf のずれが生じた場合、以下の式により残留ジッタ ΔJ が発生する。なお、ここではデータ信号の速度を662.08Mbps

とした。
 f_0 : データ信号速度
 Δf : データ信号 f_0 と移相発振器2の発振周波数の差
 $(662.08M \times 1000 \times 10^{-6})$
 M : データの最長周期 (PN27-1パターンの場合 $M=6$)

最大位相差

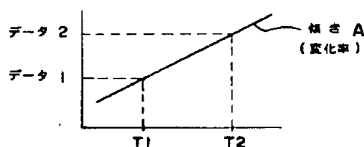
$$\Delta \theta (\text{deg}) = 2\pi M \cdot \Delta f / f_0$$

$$= 2\pi \times 6 \times 1000 \times 10^{-6}$$

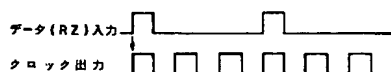
$$= 0.038 (\text{deg})$$

$$J (\text{UIp-p}) = \Delta \theta / 2\pi = 0.006 (\text{UIp-p})$$

【図2】



【図5】



PN27-1のデータパターンのとき、移相発振器2の周波数が1000ppmずれると、0.006UIp-pの残留ジッタが生じることを意味する。

【0024】

【発明の効果】この発明のクロック抽出回路によれば、温度変動に応じて移相発振器の制御を行うので、温度変動による移相発振器の周波数変化を適切に抑えることが可能となり、残留ジッタの発生を抑えることができる。

【図面の簡単な説明】

【図1】この発明によるクロック抽出回路の実施の形態を示す構成図である。

【図2】図1に示したクロック抽出回路において移相発振器の温度特性を求めたグラフである。

【図3】従来技術におけるクロック抽出回路の構成図である。

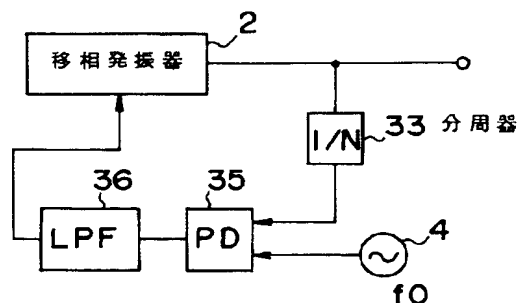
【図4】従来技術におけるクロック抽出回路の校正を行う際の構成図である。

【図5】入力したデータ信号と出力したクロック出力とを示した波形図である。

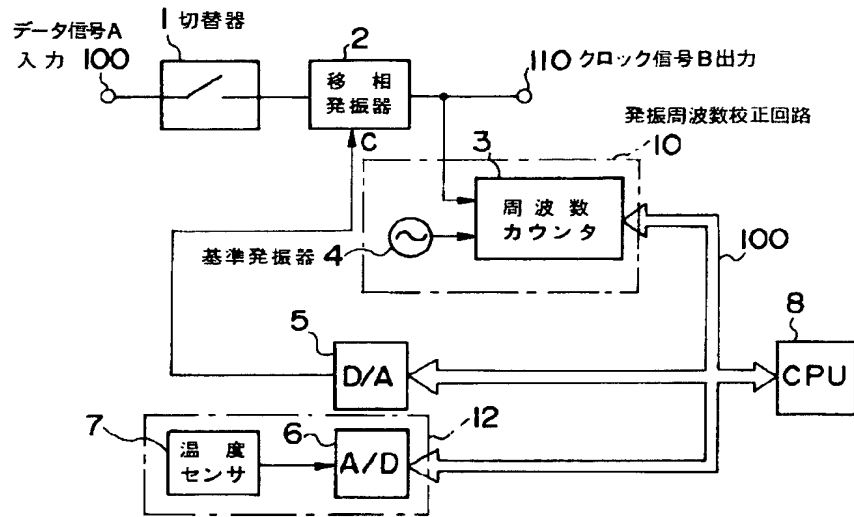
【符号の説明】

- 1 切替器
- 2 移相発振器
- 3 周波数カウンタ
- 4 基準発振器
- 5 D/A変換器
- 6 A/D変換器
- 7 温度センサ
- 8 CPU

【図4】



【図1】



【図3】

